

2013

-

					[86]			
1			1				1 2 3	
2			1			1. 35 2 3	1 2 3 4 5	
3			1			1. 28 2 3 4 5	1 2 3	
4			1			1. 2 3 4 5	1 2 3 4 5	

				[86]				
5			1				1. 2. 3.	
6			1			1. 2. 3. 4.	1. 2. 3. 4. 5. 6. 7.	
7			3				1. 2. 3. 4.	5

2013

-

						[86]			
1					1			1. 2. 3. 35	1. 2. 3. 4.
2					1				1. 2. 3. 4. 5.
3					1				1. 2. 3. 4. 5. 1-2
4					1				1. 2. 3. 4. 5. 6. " 985" " 211"

							[88]			
5			-		1					1. 2. 3. 4. 5.
6			-		1					1. 2. 3. 4. 5.
7					1					1. 2. 3. IT 4.
8			-		1					1. 2. 3. 4. 5.
9			-		1					1. 2. 3. 4. 5.

							[88]			
10			-		1					1. 2. 3. 4. 5.
11					1					1. 2. 3. 4. 5.
12					1			1. 23 30 2. 3. 4. , ,		1. 2. 3.
13					1			B		
14					1					1. 2. 3. 4. 5. 6.
15					2					1. 2. 3. 4. 5. 6.

						[88]				
16					1				1. 2. 3. 4. 5.	
17					1				1. 2. 3.	
18					1				1. 2. 3. 4. 5.	
19					2				1. 2. 3. 4. 5.	
20			()		1			1. 2. 3. 4. 5.	35	1. 2. 3. 4. 5. 6. 7.
21			()		1			1. 2. 3. 4. 5.	35	1. 2. 3. 4. 5. 6. 7.

							[88]			
22					1					1. 2. 3. 4. 5.
23					1					1. 2. 3. 4. 5.
24					1					1. 2. 3. 4.
25					1					1. 2. 3. 4.
26					1					1. 2. 3. 4. 5.

2013

-

					[86]			
		-					1. 2 3 4	
		-					1. 2 3 4	
		-					1. 2 3 5	
		-					1. 2 3 4	

						[86]			
								1. 2. 3.	
6								1. 2. 3.	
						1. 2. 3.	FPGA	1. 2. 3. 4.	
8								1. 2.	
								1. 2. 3. 4. 5. 6. 7.	PCB DSP FPGA